

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 03242026
PUBLICATION DATE : 29-10-91

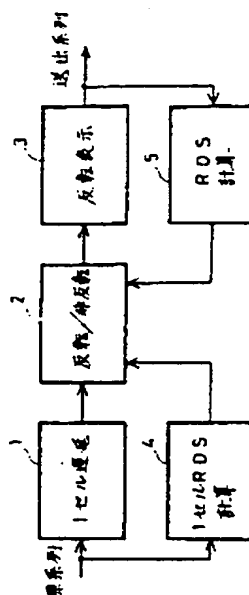
APPLICATION DATE : 20-02-90
APPLICATION NUMBER : 02039333

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>;

INVENTOR : HAYASHI KAZUHIRO;

INT.CL. : H03M 5/06

TITLE : DC SUPPRESSION SYSTEM, FOR
CODE STRING



ABSTRACT : PURPOSE: To decrease the DC component of a code string and to improve a low frequency cut-off characteristic by moving an RDS(Running Digital Sum) distribution of a transmission series in a direction so as to decrease the RDS in comparison with that of the original series.

CONSTITUTION: A 1 cell delay circuit 1, an inversion/noninversion circuit 2, a 1 cell RDS calculation circuit 4 and an RDS calculation circuit 5 are provided as means controlling the inversion or noninversion of bits in the unit of cells according to a prescribed rule evading the accumulation of the integration value of a code string are provided and an inversion indication bit addition circuit 3 is provided, which adds a bit indicating inversion or noninversion to each cell. Then the RDS distribution is moved to decrease the RDS. Thus, the DC component of the code string and the low frequency cut-off characteristic is improved.

COPYRIGHT: (C)1991,JPO&Japio

THIS PAGE BLANK (USPTO)

⑬ Int. Cl.⁵

H 03 M 5/06

識別記号

庁内整理番号

6832-5 J

⑭ 公開 平成 3 年 (1991) 10 月 29 日

審査請求 未請求 請求項の数 1 (全 1 頁)

⑮ 発明の名称 符号列の直流抑圧方式

⑯ 特 願 平2-39333

⑰ 出 願 平2 (1990) 2 月 20 日

⑱ 発 明 者 石 井 比 呂 志 東京都千代田区内幸町 1 丁目 1 番 6 号 日本電信電話株式会社内

⑲ 発 明 者 林 一 博 東京都千代田区内幸町 1 丁目 1 番 6 号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町 1 丁目 1 番 6 号

㉑ 代 理 人 弁理士 井出 眞 孝

明 細 書

1. 発明の名称

符号列の直流抑圧方式

2. 特許請求の範囲

1. ビットの集合であるセルを単位として非同期転送モードにより転送される NRZ 符号の直流成分を抑圧する符号列の直流抑圧方式において、

符号列の値分岐の累積を越える一定の法則によりセル単位でビットの反転または非反転の制御を行う手段と、

それぞれのセルに反転か非反転かを表すビットを付加する手段と

を備えたことを特徴とする符号列の直流抑圧方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は非同期転送モード (Asynchronous Trans-

fer Mode、以下「A T M」という) のユーザ・インタフェースに利用する。特に、伝送路符号の直流成分抑圧に関する。

本発明は、NRZ 符号の直流成分を抑圧する方式において、ビットの集合であるセル単位にビットの反転または非反転を制御することにより、伝送速度の上昇が小さい直流抑圧方式を実現するものである。

〔従来の技術〕

符号列の直流成分を抑圧するため、従来から、C M I (Code Mark Inversion) 符号が用いられている。C M I 符号は、NRZ (Non Return to Zero) 符号のシンボル「0」を「0 1」に、シンボル「1」を「1 1」と「0 0」に交互に対応させる符号である。第 4 図に NRZ 符号と C M I 符号の符号列の対応の例を示す。

〔発明が解決しようとする課題〕

しかし、C M I 符号では、NRZ 符号の一つのシンボルを二つのシンボルに対応させるため、同じ情報を伝送するために二倍の伝送速度が必要と

なる。このため、高速の符号の場合には伝送距離を長くできず、回路製作が困難になる欠点があった。

本発明は、以上の課題を解決し、ATMユーザ・網インタフェースにおける伝送路符号に対して速度上昇が小さい符号列の直流抑圧方式を提供することを目的とする。

(課題を解決するための手段)

本発明の符号列の直流抑圧方式は、符号列の複分倍の累積を避ける一定の法則によりセル単位でビットの反転または非反転の制御を行う手段と、それぞれのセルに反転か非反転かを表すビットを付加する手段とを備えたことを特徴とする。

制御を行う手段は、一定の法則として、ある時点までに送出したRDS(Running Digital Sum)の符号とそれに続いて送信するセルの符号とが同じときにはそのセルを反転させ、異なるときには非反転とする制御を行うことが望ましい。

(作 用)

セル単位でビットの反転または非反転を行い、

よりセル単位でビットの反転または非反転の制御を行う手段として1セル遅延回路1、反転/非反転回路2、1セルRDS計算回路4およびRDS計算回路5を備え、それぞれのセルに反転か非反転かを表すビットを付加する手段として反転表示ビット付加回路3を備えたことにある。

NRZ符号の原系列は、1セル遅延回路1を介して反転/非反転回路2に入力される。

反転/非反転回路2は、1セル遅延回路1を経由して入力された原系列に対して、セル単位にビット反転を施すか、または非反転のまま、反転表示ビット付加回路3に出力する。

反転表示ビット付加回路3は、そのセルがビット反転したセルか、非反転のセルかを表すため、反転/非反転表示ビットを付加する。この反転/非反転表示ビットが付加されたセルが、送出系列として出力される。

NRZ符号の原系列はまた、1セルRDS計算回路4に入力される。

1セルRDS計算回路4は、セル毎に1セル分

RDSの絶対値が小さくなるようにする。RDSの値が零に近くなるほど、符号列の直流成分が一定値に近づく。このとき、ビットが反転か非反転かを識別できるように、表示用のビットをセルに付加する。

表示用のビットとして、可能な場合にはヘッダ内のビットを使用する。新たに別のビットを付加してもよい。ヘッダ内のビットを使用する場合には、同じ情報を伝送するための速度上昇はない。新たに付加する場合でも、1セルのビット数を n 、表示用のビットを1ビットとすると、速度上昇は $(1 + 1/n)$ 倍となるだけである。

(実施例)

第1図は本発明の符号列の直流抑制方式を実施する符号変換装置のブロック構成図である。

この符号変換装置は、ビットの集合であるセルを単位として非同相伝送モードにより伝送されるNRZ符号の直流成分を抑圧するための符号変換を行う装置であり、この装置の構成とするところは、符号列の複分倍の累積を避ける一定の法則に

のRDSを計算する。この計算値は、制御信号として反転/非反転回路2に入力される。この計算値が得られるのは、1セルのビットがすべて入力された後である。このとき、セルとそのセルのRDS計算値とを同時に反転/非反転回路2に入力させるため、1セル遅延回路1で入力セルを1セル分だけ遅延させる。

RDS計算回路5は、送出系列の分岐信号を入力とし、送出系列のRDSを計算する。RDS計算回路5の計算値は、制御信号として反転/非反転回路2に入力される。

RDSを計算するとき、NRZ符号の「0」、「1」をそれぞれ「-1」、「+1」に対応させる。「0」が多ければ $RDS < 0$ になり、「1」が多ければ $RDS > 0$ になる。反転/非反転回路2は、入力された1セル分のRDSの符号と、それ以前の送出系列のRDSの符号とにより、入力セルのビットの反転または非反転を決定する。この規則を次の表に示す。

1セル分の RDS	送出系列の RDS	望ましい1セル分の RDS	反転/非反転
+	+	-	反転
+	-	+	非反転
-	+	-	非反転
-	-	+	反転

この表において、「1セル分のRDS」は1セルRDS計算回路4の計算値の符号を表し、「送出系列のRDS」はRDS計算回路5の計算値の符号を表す。

また、「望ましい1セル分のRDS」は、送出系列のRDSの絶対値を減少させることのできる符号を表す。この符号は、送出系列のRDSの符号に対して逆符号となる。この符号が1セル分のRDSの符号と一致するときは、そのセルを非反転のまま出力する。この符号が1セル分のRDSの符号と異なるときには、セル内のビットを反転させて出力する。

このようにして、送出系列のRDSと新しく送

出されるRDSとの符号が常に逆になるように制御される。このため、送出系列のRDSの絶対値が常に一定値以下となる。

第2図は符号変換例を示す。この例では1セルが8ビットの場合を示す。

第3図はRDSの分布の計算値を示す。この図は、原系列のマーク率 p をパラメータとし、あるRDSの値 x に対して $|RDS| \leq x$ となる確率を示す。RDSを計算する範囲は、連続する700ビットとした。原系列については、実験により、マーク率 p が0.5、0.6および0.7の場合を示す。送出系列については、数値により、マーク率 p が0.5および1の場合について示す。

実験で示した原系列分布は、マーク率 p が0.5から大きくなるにつれて、RDSが大きくなる方向に移動する。これは、符号列の直流成分が大きくなり、低域遮断特性が劣化することを意味する。

これに対して送出系列のRDS分布は、第3図に数値で示すように、原系列と比較してRDSが小さくなる方向に移動する。したがって、符号列

の直流成分が小さくなり、低域遮断特性が改善される。

表示用のビットとしてヘッダ内のビットを使用できる場合には、同じ情報を伝送するための速度上昇はない。ヘッダ内のビットを使用できない場合でも、速度上昇は小さい。例えば1セルの長さが53バイト(424ビット)のとき、1ビット付加することによる速度上昇は、 $425/424=1.002$ 、すなわち0.2%にすぎず、非常に小さい。

(発明の効果)

以上説明したように、本発明の符号列の直流抑圧方式は、RDSの分布をその値が小さくなるように移動させることができるため、符号列の直流成分が小さくなり、低域遮断特性が改善される効果がある。

また、本発明による速度上昇は非常に小さく、場合によっては速度上昇を生じさせる必要がない。

4. 図面の簡単な説明

第1図は本発明の符号列の直流抑圧方式を実施

する符号変換装置のブロック構成図。

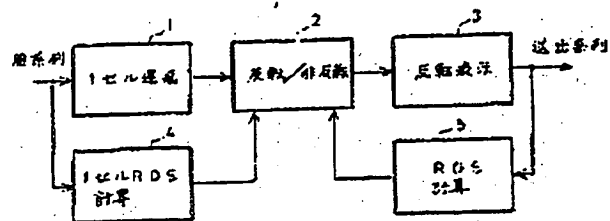
第2図は符号変換例を示す図。

第3図はRDSの分布の計算値を示す図。

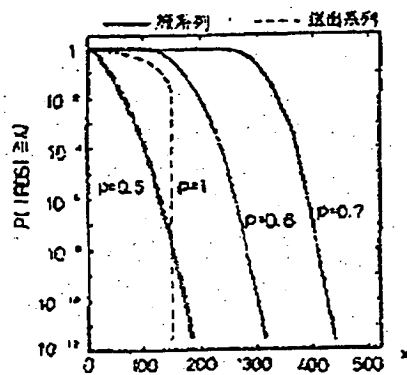
第4図はNRZ符号とCMI符号の符号列の対応の例を示す図。

1…1セル遅延回路、2…反転/非反転回路、3…反転表示ビット付加回路、4…1セルRDS計算回路、5…RDS計算回路。

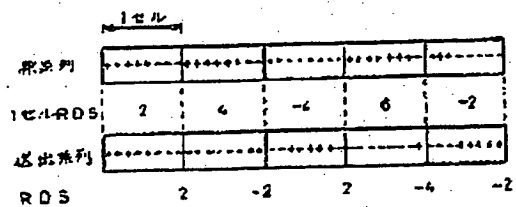
特許出願人 日本電信電話株式会社
代理人 弁理士 井 出 直 幸



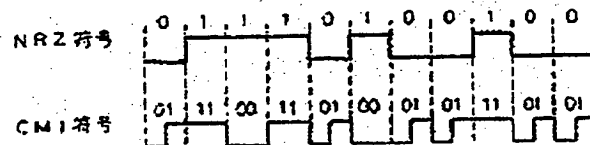
實例
第 1 圖



第 3 回



符号变换例
第 2 图



第 4 圖